PATENT ABSTRACTS OF JAPAN

(11)Publication number:

08-293867

(43)Date of publication of application: 05.11.1996

(51)Int.Cl.

H04L 12/28 H04Q 3/00

(21)Application number : 07-097055

NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing :

21.04.1995

(71)Applicant : (72)Inventor :

YAMANAKA NAOAKI

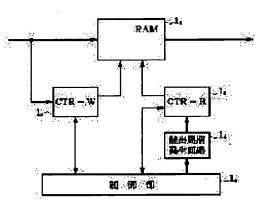
GENDA KOICHI KURIMOTO TAKASHI

(54) CELL INTERVAL CONTROLLER

(57)Abstract:

PURPOSE: To attain miniaturization by providing some threshold values for a cell storing quantity in a buffer and controlling the read-out speed of a reading control circuit corresponding to whether the quantity is over the threshold values or not so as to reduce the too much and too little capacity of the buffer.

CONSTITUTION: The threshold values (Th1 to Th3) are provided for the cell storing quantity Q of buffer RAM 11 so that a control part 15 detects the present quantity Q from the difference between writing and reading addresses by means of reading counters 12 and 13. Next, the control part 15 judges comparing whether the quantity Q is over Th3 or not so as to read a cell by the reading period T4 of a reading period generation circuit 14 when quantity Q is over Th3 and to continuously judge whether quantity Q is over Th2 or not when the quantity Q is not over Th3. Corresponding to this result, the control part 15 reads the cell by a reading period T3 when the quantity Q is over Th1 and next, when the quantity Q is not over Th1, reads the cell by reading periods T2 by judging whether the quantity Q is over Th1 or not. Thereby, the too much and too little capacity of RAM 11 is reduced so that excessive quantity Q is unnecessitated, miniaturization is possible and scrapping cell is reduced.



LEGAL STATUS

[Date of request for examination]

24.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3080351

[Date of registration]

23.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国格許庁 (JP)

€ 翐 ধ 华 噩 ধ 22

特開平8-293867

(11)特許出顧公開番号

(43)公開日 平成8年(1996)11月5日

(51) Int CL*		裁別記号	广内数理番号	P I			技術表示箇所
H04L	12/28		9466-5K	H04L	11/20	ტ	
H04Q	3/00				3/00		

鼠 9 **建金額水 未軽水 配水匠の数3 OL**

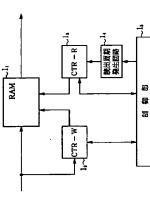
(21) 出版番号	特 国平7-97055	(71) 出聞人 000004226	900004226	
			日本電信電話株式会社	
(22) 出版日	平成7年(1996)4月21日		東京都新宿区西新宿三丁目19番2号	
		(72)発明者	山中 直頭	
			東京都千代田区内華町一丁目1番6号 日	Ш
			本電信電路株式会社内	
		(72)発明者	数田 布一	
			東京都千代田区内4年町一丁目1番6号 日	ш
			本電信電話株式会社内	
		(72)発明者	既本 歌	
			東京都千代田区内幸町一丁目1番6号 日	ш
			本集佰售超株式会社内	
		(74)代理人	弁理士 井出 直孝 (外1名)	

(54) 【発明の名称】 セル間隔値御装制

【目的】 バッファ内のセル蓄積量にしたがってセル送 出間隔を制御する。 (57) [要約]

内のセル蓄積量に無段階的に反比例した認出アドレスの 【構成】 バッファ内のセル番積量にしたがって認出制 **脚回路の読出アドレスの発生を制御する。セル蓄積量に** いくつかの関値を設け、この関値に対応するセルの説み 出し速度を設け、この関値を超えたか否かを判定するこ とにより読み出し速度を制御する。あるいは、バッファ 発生周期を用いる。

【効果】 バッファを小型化することができる。



特開平8-293867 とがないように、また、書込アドレスが酷出アドレスに ている。 銃出カウンタ13 から発生される読出アドレス 追い付くことによるパッファオーパーフロー制御を行っ

にしたがって、RAM1,からセルが読み出される。

[0005]

Ų

et

してから再送出されるまでの待機時間が長くなり、その 則御装置において、間隔Tをある程度大きくとることに より、バースト性を減少させることができる。セル間隔 は広いほどバースト性は下がり、トラヒック的に少ない リソースで情報を転送することができるが、セルが到着 間にバッファ内に蓄積されるセル数が多くなる。このた め、セル間隔制御装置のパッファ容量は大きいことが要 [発明が解決しようとする課題] この従来例のセル間隔 水される。 9

隔Tを小さくすると、例えば、5セル雑税したような小 さなバーストが剉米したときでも、高いピークレートで 送出してしまうため、セル間隔制御の意味が薄れてしま 【0006】また、パッファ容量を小さくするために関

【0007】このように、従来例のセル間隔制御装置で は、パッファ内のセル風に依存せず、一定の観出レート もしくはセル間隔でセルを再送出している。

2

【0008】本発明は、このような背景に行われたもの であり、バッファ内のセル蓄積量にしたがってセル送出 ることを目的とする。本発明は、バッファを小型化する 間隔を制御することができるセル間隔制御装置を提供す ことができるセル間隔制御装置を提供することを目的と する。本発明は、廃棄されるセルを少なくすることがで きるセル間隔制御装置を提供することを目的とする。

【課題を解決するための手段】本発明は、バッファ内の セル数に応じて、出力のセル間隔を変化させることを最 も主要な特徴とする。 [0000]

セル間隔で再送出する。

8

【0010】すなわち、本発明は、到来したセルを蓄積 するバッファと、このバッファのセル説み出しを制御す

[0011] ここで、本発明の特徴とするところは、前 記パッファのセル著模型にしたがって前記競出制御回路 の読出アドレスの発生周期を制御する手段を備えたとこ る説出制御回路とを備えたセル間隔制御装置である。

【0012】前記パッファのセル蓄積量に複数の閾値が 設けられ、前記制御する手段は、この関値を越える毎に 前記周期を段階的に変更することが望ましい。 ろにある。

\$

【0013】あるいは、前記制御する手段は、前記周期 を前記パッファのセル蓄積畳に応じて無段路的に変更す ることもできる。

たがってセル送出間隔を制御することができる。したが って、バッファ容盘の過不足が緩和され、過大なバッフ 【0014】これにより、バッファ内のセル若接負にし **ァ容量を備える必要がなく、バッファを小型化すること**

8

【特許請求の範囲】

「請求項11」 到来したセルを蓄積するパッファと、こ のパッファのセル読み出しを制御する説出制御回路とを 備えたセル関隔制御装置において、 前記パッファのセル蓄積畳にしたがって前記額出制御回 【静永頃2】 前記パッファのセル蓄積量に複数の関値 路の駝出アドレスの発生周期を制御する手段を備えたこ とを特徴とするセル間隔制御装置。

に前記周期を段階的に変更する額求項1記載のセル間隔 が散けられ、前記制御する手段は、この関値を越える毎

【請求項3】 前配制御する手段は、前配周期を前配べ ッファのセル書積量に応じて無段階的に変更する請求項 1 記載のセン国際制御装配。

[発明の詳細な説明]

[000]

装置に利用するに適する。特に、セル間隔制御技術に関 【産業上の利用分野】本発明はATM(Asynchronous Tr ansfer Node:非同期転送モード) に利用する。本発明は ATM交換機に利用するに適する。本発明はセルコピー

[0002]

れる。そのための一つの方法として、セル間隔を制御す りのセル到幹数に上限値が設けられ、それを超えて到着 したセルは廃棄される。利用者側では、この契約条件を 通信業者と利用者との間にとり交わされる契約によりそ の上限値が定められている。具体的には、単位時間当た る方法がある。契約条件を無視してバースト的に到着し たセルを一時パッファ内に蓄積し、契約条件を尊守した (従来の技術】ATMの通信には、セルと呼ばれる固定 **尊守し、セルが廃棄される事態を回避することが要求さ** 長パケットが用いられる。一般的にセルの転送速度は、

に、セル間隔制御装置1では、入回線2からパースト的 ように、あらかじめ定められた間隔下にしたがって、出 説明する。図りは従来例のセル間隔制御装置の概念図で ある。図8はセル間隔制御装置の入出力セルの波形を示 【0003】この従来例を図りないし図10を参照して す図である。図9は従来例のセル間隔制御装配のブロッ ク構成図である。図10はバッファの読出アドレスおよ び在込アドレスの状態を示す図である。図りに示すよう に到着したセルをパッファ内に一時蓄積し、図8に示す 回線3にセルを再送出する。

き込まれ、一時蓄積される。図10に示すように、制御 **第1s では、続出アドレスが告込アドレスを追い越すこ** [0004] 図9において、1, はセルを格納するRA M、12 は街込カウンタ、13 は脱出カウンタ、11 は **読出周期発生回路、15 は制御部である。バッファとし** てのRAM1, に到着したセルは、曹込カウンタ1, か 5発生される街込アドレスにしたがってRAM1,に街

2

特開平8-293867

ල

ができる。さらに、適正なセル問題を維持することがで きるため、廃棄されるセルを少なくすることができる。 [0015] [作用] パッファ内のセル蓄積量にしたがって酸出制御 御回路の節出アドレスをパッファ内のセル蓄積配に反比 例した周期で発生させると、セルがパッファ内に溜まる につれて説み出し間隔が短くなり、バッファ内の空き倒 回路の懿出アドレスの発生を制御する。例えば、懿出制 **煮が増えるにつれて読み出し間隔が長くなる。**

[0016] これにより、長く様続したパースト性のセ ルが到来したときには、速い周期でセルを読み出し、短 [0017] 具体的には、例えば、セル若積量にいくつ いバースト性のセルが到来したときには、遅い周期でセ ルを読み出すことができるため、常時一定速度でセルを 語み出す方式に比較すると、バッファ容量を小さくして も同一の結果が得られる処理を行うことができる。

かの閾値を設け、この閾値に対応するセルの読み出し速 【0018】あるいは、パッファ内のセル蓄積畳に無段 度を設け、この閾値を超えたか否かを判定することによ り読み出し速度を制御すればよい。

始的に反比例した説出アドレスの発生周期を用いてもよ

8

[0019]

して説明する。図1は本発明実施例装置のプロック構成 **翌である。図2は本発明実施例のセル間隔制御装置の概** [実施例] 本発明実施例の構成を図1および図2を参照 **念図である。**

ナとしてのRAM1, と、このRAM1, のセル苗き込 2 と、このRAM11のセル設み出しを制御する認出制 【0020】本発明は、到来したセルを蓄積するバッフ みを制御する書込制御回路としての書込カウンタ1

卸回路としての読出カウンタ 13および読出周期発生回

ន

[0021] ここで、本発明の特徴とするところは、R AM11のセル苦積低にしたがって筋出周期発生回路1 路11 とを備えたセル間隔制御装置1である。

[0022] 図2に示すように、RAM1, のセル蓄積 | は、この関値Th: ~Th:を越える毎に前記周期を 1 の競出アドレスの発生周期を制御する手段を制御部1 **탑に三段階の関値Th! ~Th3 が設けられ、制御部 1** 5 に備えたところにある。

生は下がり、トラヒック的に少ないリソースで情報を転 [0023]次に、本発明実施例の動作を図3を容照し て説明する。図3は本発明実施例の動作を示すフローチ ャートである。セルを苔積するためのバッファであるR AM11 には三段階の関節Th1 ~Th3 を備え、蓄積 セル数がある関値Th! ~Th! を超えると、それに伴 する。先に述べたように、セル間隔は広いほどバースト い説み出しのレートを高くする。つまりセル間隔を狭く 3階的に変更する。

<Ti)、関値Thz以下ではセル関隔Tz、関値Th 【0024】図2に示すように、図値Th,以下ではセ 2 を超えるとセル間隔下3 (T3 <T2)、関値Th3 以下ではセル間隔T3 、閾値Th3 を超えるとセル間隔 **ル間隔T; 、閾値Th; を超えるとセル間隔T2 (T**2 Ti(Ti<Ti)と数定している。

る(S1)。その校出したパッファ内のセル若積量と関 御部11 で判断される。セル読み出し制御の手順は、図 セルを読み出す (56)。 バッファ内のセル番積量が関 低Th3 を超えていなければ、パッファ内のセル蓄積量 類T』によりセルを説み出す(S 7)。 バッファ内のセ ル蓄積畳が閾値Th2 を超えていなければ、パッファ内 のセル蓄積低と閾値Th, とを比較する(S4)。この とき、バッファ内のセル蓄積畳が関値Th! を超えてい れば、競出周期工, によりセルを読み出す(58)。 バ ば、鉱出周期工,によりセルを読み出す(S5)。この 【0025】図1 に示すように、現在のセル苔積数は制 3のフローチャートに示した。まず、バッファ内のセル 値Th3 とを比較する。このとき、バッファ内のセル蓄 積量が関値下わるを超えていれば、酸出周期下, により と関値Th2 とを比較する(S3)。このとき、バッフ **ァ内のセル苦積坠が閾値Th?を超えていれば、読出周 都積量を費込アドレスと乾出アドレスとの差から検出す** ように、薔積セル数に伴って複数の諺出周期T』~T。 ッファ内のセル蓄積量が関値下も,を超えていなけれ を設定することができる。

【0026】本発明実施例では、関値を三段階として設 明したが、n段階(nは自然数)としても同様に説明す ることができる。さらに、n→∞、すなわち、無段階と 内セル数と認出周期Tとの関係を示す図である。横軸に 内セル数に反比例して短くなっており、最も効率的な制 御方法となる。この結果、セル間隔制御装置 1 内でのセ パッファ内セル数をとり、縦軸に龍出周期Tをとる。こ のように無段階とした場合には、読出周期は、バッファ することもできる。図4は無段階とした場合のバッファ ルの遅延時間は一定となる。

【0027】また、遅延上限を設け、読出周期の最大値 を設定したり、バースト性の上限を定め、読出周期の最 小値を定め、それ以上はバッファオーバーフローとする こともできる。

した例を示す図である。図5に示すように、多段に接続 された交換機関のデータ転送に用いることにより、次段 の交換機では、各前段の交換機で可能な限りセル間隔の 【0028】次に、本発明の応用例を図5および図6を **参照して説明する。図5は本発明を交換機に応用した例** を示す図である。図6は本発明をセルコピー装置に応用 削御を行っているため、バッファを削減することができ

【0029】図6に示すように、セルコピー装置の出力 に本発明装置を設置することにより、セルコピー装置が

送することができる。

複数のセルを同時に生成させ、バースト性が大きいセル 列を送出しても、本発明装置により、パースト性を制御

することができる。 [00030]

[発明の効果] 以上説明したように、本発明によれば、

パッファ内のセル若符品にしたがってセル送出問隔を制 御することができる。したがって、バッファ容型の過不 く、バッファを小型化することができる。さらに、適正 足が観和され、過大なバッファ容量を備える必要がな

なセル間隔を維持することができるため、廃棄されるセ

ルを少なくすることができる。 【図面の簡単な説明】

【図1】本発明実施例装置のブロック構成図。

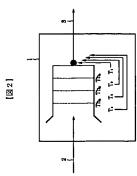
【図2】本発明実施例のセル間隔制御装置の概念図。

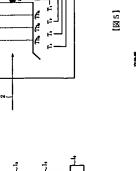
[図3] 本発明実施例の動作を示すフローチャート。

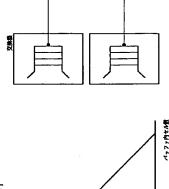
[図4] 無段階とした場合のパッファ内セル数と認出周 開Tとの関係を示す図。

[図5] 本発明を交換機に応用した例を示す図。

[<u>図</u>] Z







4.要取压器

[図6] 本発明をセルコピー装置に応用した例を示す

٧

【図7】従来例のセル間隔制御装置の概念図。

【図8】セル間隔制御装置の入出力セルの故形を示す

【図10】 バッファの読出アドレスおよび毎込アドレス 【図9】従来例のセル間隔制御装置のブロック構成図。 の状態を示す図。

[符号の説明]

1 セル間隔制御装置 RAM 2

街込カウンタ

読出カウンタ 13

 近 出 因 期 発 生 回 路 ĭ

西海路 2

入回線

2

က

丑回黎

パッファ内セル数

特開平8-293867

Ŧ

